

一種將離散元件納入貝葉斯優化以實現電源電路設計自動化的新方法

A New Method for Power Circuit Design Automation by Incorporating Discrete Components into Bayesian Optimization

阮晉松
Nguyen Tan Tung

蔡兆威
Chao-Wei Tsai

龐敏熙
Man-Hay Pong

國立台灣科技大學電子工程系
Department of Electronic Engineering and Computer Engineering, National Taiwan University of Science and Technology
m11302c04@mail.ntust.edu.tw

摘要

本文提出一種將離散元件參數納入貝葉斯優化 (Bayesian Optimization, BO) 的電源電路自動化設計方法。透過建立高斯過程 (Gaussian Process, GP) 代理模型，並結合正規化與距離衡量技術，演算法能有效處理來自元件資料手冊的非線性特性。在實驗中，我們以 3.3 kW 降壓轉換器為驗證平台，考慮 MOSFET、磁性元件與電容之損耗。結果顯示，僅需約 30 次模擬即可收斂至 98% 以上效率，顯著縮短設計週期並降低計算成本。此方法展現了將 BO 應用於離散元件電源設計的可行性與效益。

關鍵詞：貝葉斯優化、離散元件、自動化設計、降壓轉換器

Abstract

This paper proposes an automated power converter design method that incorporates discrete component parameters into Bayesian Optimization (BO). By constructing a Gaussian Process (GP) surrogate model combined with normalization and distance metrics, the algorithm effectively handles nonlinear characteristics extracted from device datasheets. A 3.3 kW buck converter is used as the verification platform, where losses of MOSFETs, magnetic components, and capacitors are considered. The results show that the proposed method converges to an efficiency above 98% within only ~30 simulation iterations, significantly reducing design time and computational cost. This demonstrates the feasibility and effectiveness of applying BO to discrete-component-based power converter design.

Keywords: Bayesian Optimization; discrete components; automated design; buck converter

I. 前言

近年來，機器學習 (Machine Learning, ML) 在電力電子領域的設計與優化應用中展現了極高的潛力。隨著電源系統逐漸朝向高效率、小型化與高功率密度的方向發展，傳統的設計方法往往難以兼顧效率、熱管理、成本與體積等多重設計目標。傳統設計流程通常依賴工程師的經驗，透過反覆調整關鍵元件 (如 MOSFET、電感與電容) 並配合電路模擬進行迭代。然而，這種「試誤式」設計方式不僅耗時，且在高維度設計空間下往往難以保證能找到全域最優解。為了克服上述挑戰，近年逐漸興起的資料驅動式方法提供了新的解決思路。透過建立代理模型 (Surrogate Model) [1]，設計者可在有限的模擬次數下，快速近似複雜系統的行為，進而降低計算成本並縮短設計週期。其中，貝葉斯優化 (Bayesian Optimization, BO) [2],[3] 已被證實是一種在高非線性、多峰值設計空間中表現突出的方法。其核心概念是利用代理模型來平衡「探索 (exploration)」與「利用 (exploitation)」，在有限次數的設計評估下，快速收斂至接近最優的設計解。這對於電源電路的設計尤其重要，因為每一次完整的電路模擬都可能耗費大量時間與計算資源。然而，將貝葉斯優化直接應用於電源電路設計仍面臨挑戰，特別是在離散元件選擇上。與連續參數 (如電感值或電容值) 不同，實際設計中的元件通常以型號為單位提供，並由規格書 (datasheet) 所描述的多個關鍵參數 (例如 C_{iss} 、 C_{oss} 、 C_{rss} 、 $R_{ds(on)}$ 與 body diode 特性) 共同決定其效能。這些參數之間高度非線性，且存在交互影響，導致傳統優化方法難以直接處理。若僅

使用理想化或簡化的元件模型，往往會造成與實際設計脫節，降低優化結果的可靠性。

為了彌補此缺陷，本文提出一種結合離散元件資料庫、距離衡量方法與參數正規化技術的自動化設計流程，使貝葉斯優化能有效處理離散參數，並快速篩選最佳元件組合。該方法可將不同製造商提供的 MOSFET 與磁性元件資料直接整合至設計框架中，並搭配電路模擬（本研究採用 SIMBA 作為平台）以評估各組合在效率與損耗方面的表現。本文以降壓轉換器作為驗證平台，結果顯示本方法能顯著縮短設計週期、降低模擬成本，並在多目標條件下實現更佳的设计解。

II. 降壓轉換器優化模型

2.1 貝葉斯優化方法

在電力電子設計中，離散元件不像電感值呈連續變化，且元件參數空間龐大。傳統設計方法往往依賴工程師反覆調整元件參數與電路參數，再配合電路模擬進行驗證，通常需要大量的設計週期與人工經驗，難以在有限時間內找到全域最佳解。貝葉斯優化（Bayesian Optimization, BO）是一種特別適合高計算成本函數的優化方法，其核心是利用代理模型來近似設計空間。本研究採用高斯過程（Gaussian Process, GP）[4]作為代理模型，GP 不僅能提供效率的預測均值（mean），還能給出不確定性範圍（covariance area, $\pm 2\sigma$ ）。這使得演算法在決策時，能同時考慮「預測效率」與「模型信心度」，避免陷入局部最佳解。在每一輪迭代中，BO 透過獲取函數（Acquisition Function）[5]來決定下一個評估點。本研究使用 Expected Improvement (EI) 作為獲取函數[6]，EI 能在高不確定性區域給予較高權重，以鼓勵探索未知區域；同時，當某些區域已顯示出高效率潛力時，EI 也會引導演算法持續在該區域深入搜尋，達到探索（exploration）與利用（exploitation）的平衡。

在本研究中，BO 被應用於離散元件的自動化選擇。由於實際設計中的 MOSFET 與磁性元件皆來自於商用元件庫，參數呈現離散且非線性的分佈，傳統連續變數的優化方法難以直接應用。因此，本研究建立了離散元件字典（Dictionary），並以距離衡量與正規化方法將其轉換為適合 BO 搜尋的格式。最終，結合 EI 與 GP

的不確定性分析，BO 能在有限模擬次數下快速收斂，並且確保搜尋結果能精確對應真實元件特性。

2.2 SIMBA 模擬流程

本研究在 SIMBA 平台上建立了一個額定功率 3.3kW 的降壓轉換器模型[7]，主要設計條件如下：輸入電壓 400V，輸出電壓 220V，輸出電流 15A。模型中包含 MOSFET、同步整流器、輸出電感與電容，緩衝電路及閉迴路控制[8]，並考慮了磁芯損耗與導通損耗，以確保模擬能夠反映真實工作情況。在優化過程中，BO 會根據代理模型輸出一組候選設計（MOSFET 型號、頻率、匝數），將其輸入 SIMBA 模擬，得到輸入功率、輸出功率與元件損耗等數據。這些模擬結果再回饋給 BO，更新代理模型，並預測下一個觀測點。透過不斷迭代，BO 能在有限的模擬次數下快速找到效率最高、損耗最低的設計組合。整體優化流程如圖 1 所示，重複步驟 2 到 4，直到找到最佳解。圖 2 為電路建模，圖 3-圖 6 為模擬穩態波型。

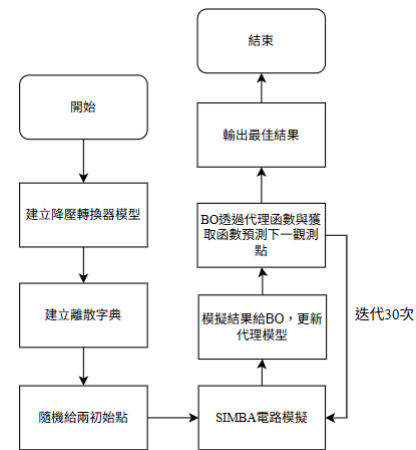


圖 1. 整體優化流程圖

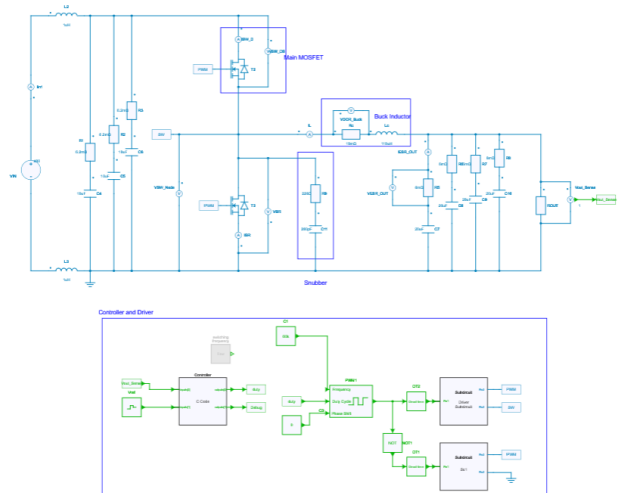


圖 2. 同步整流閉迴路控制降壓轉換器電路

輸入至降壓轉換器模擬環境，作為貝葉斯優化在元件組合搜尋過程中的性能評估依據。

IV. 各種損耗的計算方法

為了準確評估降壓轉換器的效能，本研究考慮了主要元件的損耗來源，包含 MOSFET 開關損耗與導通損耗、電感器銅損與磁芯損耗，以及電容器等效串聯電阻(ESR)損耗。其計算如下：

4.1 MOSFET 損耗模型

在模擬中，MOSFET 的損耗由兩部分組成：

- (1) 導通損耗:由於元件在導通時具有有限的導通電阻 $R_{ds(on)}$ ，當電流流過時會產生能量損耗。
- (2) 開關損耗:在開啟與關閉的瞬間，由於漏極-源極電壓與電流重疊，會產生額外能量消耗，並受到器件內部電容、開極驅動速度與工作頻率的影響。

最終，MOSFET 的總損耗即為導通損耗與開關損耗的總和，其損耗由模擬結果得到。

4.2 磁性元件損耗模型

磁性元件是降壓轉換器效率的主要限制因素之一。本研究針對電感器建立了完整的建模方法，以準確描述其在實際工作環境中的損耗行為。模型主要包含繞線銅損、磁芯損耗以及偏磁效應修正，並將這些因素整合至模擬與優化框架中。首先，繞線損耗（Copper Loss）主要由導線直流電阻（DCR）所造成，並與電感電流的均方根值平方成正比。為了更貼近實際，本研究利用 Litz 線的幾何參數（如股線數、股線直徑、繞線層數與半徑）計算總導體長度，進而得到等效電阻與直流損耗。此方法能有效捕捉不同繞線方式對效率的影響。其次，磁芯損耗（Core Loss）來自於交變磁場下的磁化與渦流效應。本研究採用廣義 Steinmetz 方程式（Generalized Steinmetz Equation, GSE）(1)進行建模：

$$P_{core} = k \cdot f^{\alpha} \cdot B^{\beta} \cdot V_{core} \quad (1)$$

其中 f 為開關頻率

B 為交流磁通密度

V_{core} 為磁芯體積

參數 (k, α, β) 則透過廠商資料與實驗數據進行回歸擬合。

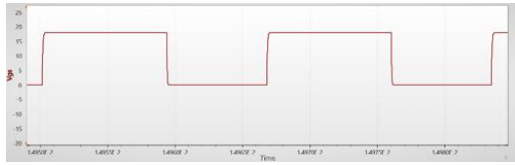


圖 3. Vgs 波形

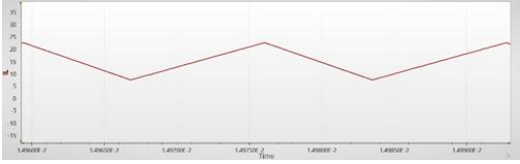


圖 4. 電感電流(IL)波形

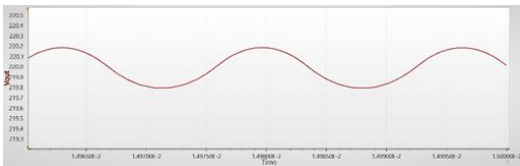


圖 5. 輸出電壓(Vout)波形

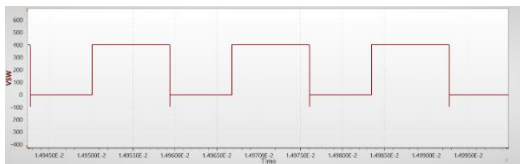


圖 6. 開關電壓(VSW)波形

III. MOSFET 建模方法

3. 開關元件模型

本研究中的 MOSFET 建模方法是直接基於 Infineon、Wolfspeed 與 ST 製造商提供的規格書 (datasheet)，而非依賴專屬的高階模擬模型。為了精確描述開關元件的行為，我們擷取了以下關鍵參數：

- (1) 電容參數:輸入電容 C_{iss} 、輸出電容 C_{oss} 、反向傳輸電容 C_{rss} 。
- (2) 操作電壓:輸出特性曲線閘極-源極電壓 V_{gs} 、轉移特性曲線漏極-源極電壓 V_{ds} 。
- (3) 特性曲線:輸出特性曲線(Output Characteristics)、轉移特性曲線(Transfer Characteristics)。
- (4) 其他參數:閘極內部電阻 R_g 、體二極體(Body Diode)的反向恢復曲線。

這些參數被用於建立一個損耗模型，以計算 MOSFET 的導通損耗與開關損耗。藉由結合規格書中的完整參數與曲線，重建 MOSFET 的開關行為，並在不同工作條件下進行可靠的損耗估算。最終這些損耗被

本研究針對不同頻率範圍與操作溫度進行分段建模，確保損耗估算能夠隨工作條件變化而保持準確性。最後，考慮到偏磁效應（DC Bias Effect）對電感特性的影響，在高直流電流下，磁芯的有效磁導率會下降，造成電感值隨電流減小。為了修正磁效應，本研究利用規格書提供的 $\mu_{eff}-H_{DC}$ 曲線進行插值計算，並在模擬中動態更新等效電感值。最後會生成一張磁芯損耗建模的驗證結果。如圖 7 所示，藍色、綠色與紅色分別代表不同溫度下的實測數據，而虛線則為利用廣義 Steinmetz 方程式（GSE）擬合後的估算結果。可觀察到在不同頻率及磁通密度範圍內，擬合曲線與實測點高度吻合，顯示所建立的分段化與溫度補償模型能準確捕捉磁芯損耗的變化特性。該結果證實所提出的建模方法具備良好的泛化能力，能作為後續貝葉斯優化（BO）框架中進行效率評估的可靠依據。

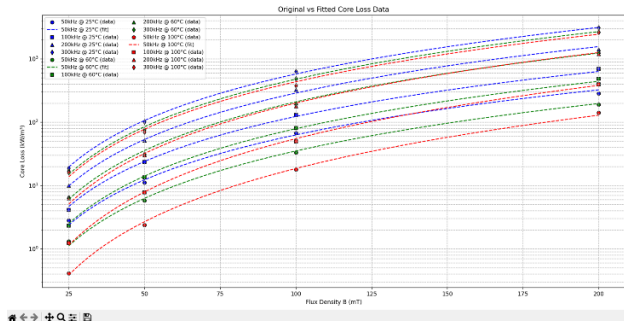


圖 7. 磁芯損耗實測數據 vs. 廣義 Steinmetz 方程式 (GSE) 擬合曲線之對照圖

綜合以上，磁性元件總損耗可表示為：

$$P_L = P_{Cu} + P_{core} \quad (2)$$

其中 P_{Cu} 為繞線銅損

P_{core} 為磁芯損耗

最終所得之模型能同時考慮溫度、頻率與偏磁效應，並將結果輸入至貝葉斯優化 (BO) 框架中，作為元件組合評估的重要依據。

V. 優化結果和視覺化

5.1 建立參數對應(Parameter Mapping)並帶入字典計算距離

在本研究的降壓轉換器設計中，設計空間包含 20 種 MOSFET 元件、8 個頻率選項(60-200kHz)，以及 12 個繞組匝數(21-32 匝)。為了讓 BO 方便讀取資料，採用參數對應(Parameter Mapping)方式，如表 1 所示，分別

將 MOSFET、頻率及繞組匝數在索引(Index)標上 1-20、1-8 及 1-12。

表 1. 參數對應表

No_Device	Device	No_Freq	Frequency	No_Turn	Turn
1	C3M0075120K-A	1	60000	1	21
2	C3M0045065K	2	80000	2	22
3	C3M0060075K1	3	100000	3	23
4	E4M0045075K1	4	120000	4	24
5	E3M0040120K	5	140000	5	25
6	C3M0025065K	6	160000	6	26
7	IMZA65R050M2H	7	180000	7	27
8	IMZA65R060M2H	8	200000	8	28
9	IMZA65R040M2H			9	29
10	AIMZA75R060M1H			10	30
11	IMZA75R060M1H			11	31
12	AIMZA75R040M1H			12	32
13	IMZA75R040M1H				
14	IMZA65R033M2H				
15	IMZA65R026M2H				
16	IMZA65R057M1H				
17	IMZA65R072M1H				
18	IMZA65R107M1H				
19	IMZA65R048M1H				
20	C3M0015065K				

由於實際設計空間中的參數包含元件型號 (Device)、工作頻率 (Frequency) 與繞組匝數 (Turn)，其數值尺度差異極大，若直接帶入距離計算，將導致某一維度主導整體結果，失去公平性。為解決此問題，本研究採用正規化 (Normalization) 方法，將頻率與匝數壓縮至相同區間，使其能與元件間的距離衡量結果共同作用於貝葉斯優化流程中。透過此正規化處理，所有設計變數被投影到一個統一的特徵空間中。如此一來，貝葉斯優化中的高斯過程 (GP) 在計算 kernel 函數時，能公平地考慮不同設計維度，並在探索離散元件設計空間時保持數值穩定與物理合理性。接著將標準化後的字典代入距離公式計算，本研究以圖 3 的索引 1、2、5、6、9 及 19 為基準去比較與其他類 MOSFET 的距離，公式(3)如下：

$$d_{xy} = \sqrt{\theta_1 \left(R_{ds(on)_{normalized_x}} - R_{ds(on)_{normalized_y}} \right)^2 + \dots + \theta_5 \left(V_{TH_{normalized_x}} - V_{TH_{normalized_y}} \right)^2} \quad (3)$$

$$\theta = [\theta_1, \theta_2, \theta_3, \theta_4, \theta_5] \quad (4)$$

其中 $\theta(4)$ 為權重

x 與 y 為任兩顆元件。

5.2 貝葉斯優化結果

先將先前圖 3 的參數對應製作成一索引，方便後續 BO 使用，如表 2，共有 1920 種組合。

表 2. 參數索引表

	col_1	col_2	col_3	...	col_1918	col_1919	col_1920
No_Device	1	1	1		20	20	20
No_Freq	1	1	1		8	8	8
No_Turn	1	2	3		10	11	12

為驗證所提出方法的有效性，本研究以降壓轉換器為案例進行優化實驗。首先，隨機從圖 4 參數索引選取兩初始候選點(橘色點)，並透過電路模擬獲得對應的效率結果，接著將這兩初始觀測點和第一組效率給 BO，BO 會以此兩初始點，透過 GP 建立代理模型，模擬出以候選索引(Candidate Index)為橫軸，預測效率為縱軸的模型，並產生一個新的觀測點(紅色點)。

在此基礎上，貝葉斯優化引入期望改進量(Expected Improvement, EI) 作為採樣準則，根據 EI 最大化的原則選取下一個候選點，預測下一個可能是最大值的點(藍色直條虛線)，並再次進行電路模擬以獲得效率。新觀測點被加入資料集後，GP 模型會同步更新，使得效率預測曲線與不確定性逐步改善。

圖 8 顯示了在僅有初始樣本的情況下，貝葉斯優化透過高斯過程 (GP) 建立的代理模型。由於輸入資料點極少，效率曲線呈現大幅度起伏，並伴隨著廣泛的不確定性區間。此時，期望改進量(Expected Improvement, EI) 在設計空間多處同時出現峰值，反映模型尚無法判斷潛在最佳解所在區域，僅能依靠隨機初始點提供的有限訊息進行探索。相較於圖 8，圖 9~圖 11 展示了隨著迭代次數增加，模型逐步收斂的過程。在圖 9 中，GP 模型已開始在高效率區域累積樣本，效率預測曲線逐漸貼近實際趨勢，不確定性範圍明顯縮小。進入圖 10 時，代理模型在接近最優解的區域已進行多次探索，EI 的峰值數量減少，搜尋行為逐漸聚焦。最終在圖 11，模型於高效率區域完成收斂，EI 接近於零，代表 BO 已鎖定接近全域最優解的元件組合與設計參數。這一進程凸顯了從圖 8 的高度不確定性，到圖 8~11 的逐步收斂，展示了 BO 在有限模擬次數下的高效探索能力。最終，當迭代次數約達 30 次時，EI 幾乎趨近於零，表明模型已找到接近全域最佳解的元件組合與操作條件。該結果顯示本文方法能在有限次數的

模擬下快速完成收斂，顯著縮短設計週期，並成功解決離散元件參數下的電源設計優化問題。

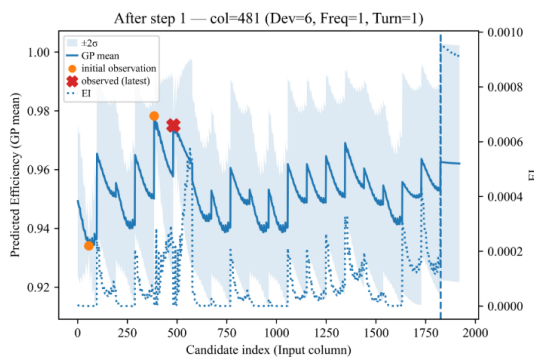


圖 8.貝葉斯優化迭代 1 次

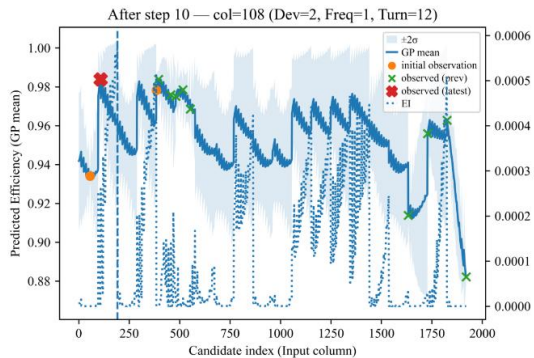


圖 9.貝葉斯優化迭代 10 次

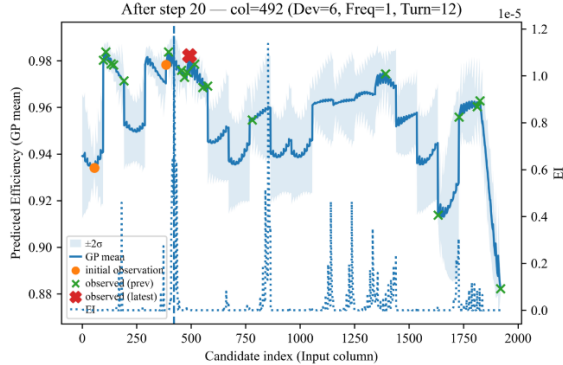


圖 10.貝葉斯優化迭代 20 次

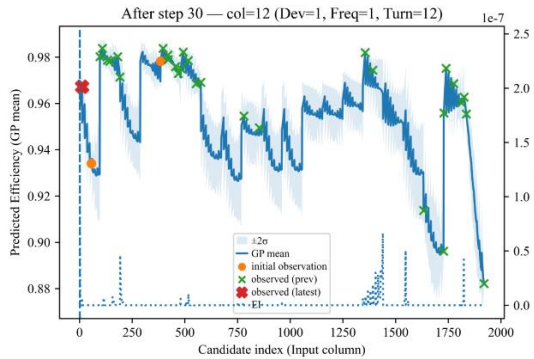


圖 11.貝葉斯優化迭代 30 次

VI. 迭代結果

在每次迭代中，貝葉斯優化會根據當前的代理模型與期望改進量 (Expected Improvement, EI) 函數，選擇一個新的候選設計點進行模擬。每個候選點以三個離散參數組成：元件型號編號 (No_Device)、工作頻率編號 (No_Freq) 與繞組數編號 (No_Turn)。這些編號與實際的設計參數透過資料庫對應，例如 No_Device=2 對應至 MOSFET C3M0045065K，No_Freq=1 對應至 60 kHz，No_Turn=12 對應至 32 匝。當候選點被選定後，電路模擬會輸出對應的效率值，並將結果紀錄於歷史表 (bo_history)。如表 3，在第 10 次迭代時，BO 根據 EI 函數選擇了候選點 (No_Device=2, No_Freq=1, No_Turn=12)，其對應的設計組合為使用 MOSFET C3M0045065K、開關頻率 60 kHz、繞組數 32 匝。模擬結果得到 98.38% 的效率，並且此時的 EI 值為 0.00053983，為當前所有候選點中最大的值，因此被視為本次迭代的最優解。透過此機制，BO 能夠逐步聚焦於高效率設計區域，在有限的模擬次數內鎖定接近全域最優解的元件與設計參數。圖 12 為 MOSFET C3M0045065K 的各損耗損失分布。

表 3. 貝葉斯優化結果表

step	index_1based	Device	No_Freq	No_Turn	y_measured	EI_at_pick	
1	481	6	1	1	0.97507	0.001308	
2	1825	20	1	1	0.96279	0.000957	
3	1920	20	8	12	0.88219	0.000314	
4	1729	19	1	1	0.95588	0.002386	
5	553	6	7	1	0.96854	0.001590	
6	396	5	1	12	0.98381	0.001170	
7	456	5	6	12	0.97593	0.000796	
8	516	6	3	12	0.97853	0.000643	
9	1633	18	1	1	0.91377	0.000540	
10	108	2	1	12	0.98382	0.000540	(Max)
11	192	2	8	12	0.97141	0.000589	
12	1392	15	4	12	0.97439	0.000390	
13	133	2	4	1	0.97871	0.000281	
14	1813	19	8	1	0.96032	0.000201	
15	780	9	1	12	0.95461	0.000145	
16	144	2	4	12	0.97824	0.000119	
17	469	5	8	1	0.97295	0.000092	
18	97	2	1	1	0.98021	0.000054	
19	576	6	8	12	0.96918	0.000039	
20	492	6	1	12	0.98221	0.000020	
21	421	5	4	1	0.97895	0.000012	
22	853	9	8	1	0.94952	0.000010	
23	1728	18	8	12	0.89617	0.000002	
24	420	5	3	12	0.98100	0.000006	
25	1356	15	1	12	0.98199	0.000005	
26	1776	19	4	12	0.96853	0.000002	
27	1836	20	1	12	0.95540	0.000001	
28	181	2	8	1	0.98021	0.000001	
29	1740	19	1	12	0.97519	0.000000	
30	12	1	1	12	0.96728	0.000000	

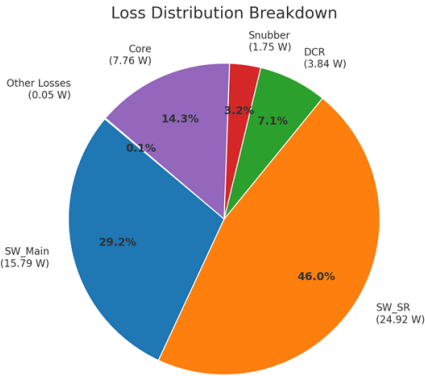


圖 12.損失分布圓餅圖

VII. 結論

本文提出一種將離散元件納入貝葉斯優化的電源電路自動化設計方法，能有效處理元件資料中非線性與離散特性。以 3.3 kW 降壓轉換器為例，僅需約 30 次模擬即可達到 98% 以上效率，顯示本方法能顯著縮短設計週期並降低計算成本。此結果驗證了該方法在電源電路設計中的可行性，並具備應用於更複雜拓撲與多目標優化的潛力[9]。

參考文獻

[1] S. Hirt, L. Theiner, M. Pfefferkorn, and R. Findeisen, “A hierarchical surrogate model for efficient multi-task parameter learning in closed-loop control,” arXiv preprint arXiv:2508.12738, 2025.

[2] B. Shahriari, K. Swersky, Z. Wang, R. P. Adams, and N. de Freitas, “Taking the human out of the loop: A review of Bayesian optimization,” Proc. IEEE, vol. 104, no. 1, pp. 148–175, Jan. 2016.

[3] J. Snoek, H. Larochelle, and R. P. Adams, “Practical Bayesian optimization of machine learning algorithms,” in Advances in Neural Information Processing Systems (NeurIPS), pp. 2951–2959, 2012.

[4] Y. Fu and M. Han, “Multi-objective optimization of robust parameter design based on Gaussian process model,” in Proc. 2023 4th Int. Conf. on Big Data & Artificial Intelligence & Software Engineering (ICBASE), Nanjing, China, Aug. 2023.

[5] W. Gan, Z. Ji, and Y. Liang, “Acquisition functions in Bayesian optimization,” in Proc. 2021 2nd Int. Conf. on Big Data & Artificial Intelligence & Software Engineering (ICBASE), 2021.

[6] J.-H. Park, M. Cheon, and D.-Y. Koh, “BOOST: Bayesian optimization with optimal kernel and acquisition function selection technique,” arXiv preprint arXiv:2508.02332, 2025.

[7] J. G. Yadav, Y. K. Yadav, and N. Kumar, “Mathematical modelling and simulation of synchronous buck converter and analysis of its simulation results,” in Proc. 2023 Int. Conf. on IoT, Communication and Automation Technology (ICICAT), Gorakhpur, India, Jun. 2023.

[8] S. Sarker, M. J. Hasan, N. Bashar, S. A. Lopa, and T. Ahmed, “Comparative study of the open-loop buck converter and the closed-loop PID controlled and fuzzy logic buck converter,” in Proc. 2023 IEEE 9th Int. Women in Engineering (WIE) Conf. on Electrical and Computer Engineering (WIECON-ECE), Thiruvananthapuram, India, Nov. 2023.

[9] Y. Jiang, “Optimization of Bayesian statistical model based on deep learning,” in Proc. 2024 IEEE 4th Int. Conf. on Data Science and Computer Application (ICDSCA), Dalian, China, Nov. 2024.